

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-241518

(43) 公開日 平成9年(1997)9月16日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
C 0 8 L 101/00	KAH		C 0 8 L 101/00	KAH
C 0 8 K 3/36	LRX		C 0 8 K 3/36	LRX
C 0 8 L 83/16	LR Y		C 0 8 L 83/16	LR Y
C 0 9 D 183/16	PMM		C 0 9 D 183/16	PMM
201/00	PDC		201/00	PDC

審査請求 未請求 請求項の数20 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平8-55904

(22) 出願日 平成8年(1996)3月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 福山 俊一

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72) 発明者 中田 義弘

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外2名)

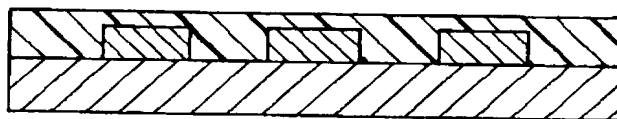
最終頁に続く

(54) 【発明の名称】 樹脂組成物および多層配線形成方法

(57) 【要約】

【課題】 スピンコート法により塗布可能で、比較的低温で液状となることによりチップスケールでの平坦化が可能であり、またはギャップフィルが可能なスピンコート法による成膜が可能であり、熱硬化後に2.5以下の誘電率を有する絶縁膜を得ることのできる材料および方法を提供する。

【解決手段】 加熱により液状化し、かつ、架橋して不溶化する高分子物質とシリカゾルからなるかまたはバインダー樹脂とテトラフルオロエチレンポリマの微粒子からなる多層配線形成用樹脂組成物。かかる樹脂組成物を配線基板上に塗布し、次いで熱処理することにより平坦化された絶縁膜が形成される。



樹脂のリフトー平坦化

## 【特許請求の範囲】

【請求項1】 加熱により液状化し、かつ、架橋して不溶化する高分子物質とシリカゾルからなる多層配線形成用樹脂組成物。

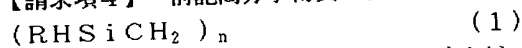
【請求項2】 前記高分子物質が、下記一般式(1)



(上式中、Rは炭素数1～3のアルキルまたはフェニルを表す)で示される珪素重合体である、請求項1記載の組成物。

【請求項3】 請求項1に記載の樹脂組成物を配線基板上に塗布し、次いで熱処理することを特徴とする、配線基板の平坦化方法。

【請求項4】 前記高分子物質が、下記一般式(1)



(上式中、Rは炭素数1～3のアルキルまたはフェニルを表す)で示される珪素重合体である、請求項3記載の方法。

【請求項5】 平坦化の促進のために、前記基板上にもう1枚の基板を重ねた状態で熱処理を行う、請求項3記載の方法。

【請求項6】 前記もう1枚の基板として、表面に1 $\mu$ m以下の粒径の揃った微粒子層を形成した基板を用いる、請求項5記載の方法。

【請求項7】 前記もう1枚の基板として、表面にテトラフルオロエチレンポリマの膜により、深さ1 $\mu$ m以下で、幅10 $\mu$ m以下のストライプパターンを形成した基板を用いる、請求項5記載の方法。

【請求項8】 両基板間に圧力を加えながら熱処理を行う、請求項5記載の方法。

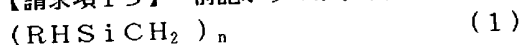
【請求項9】 前記熱処理後に前記もう1枚の基板上に樹脂を塗布して、基板上の残留段差をさらに平坦化する、請求項5記載の方法。

【請求項10】 請求項3に記載の方法により平坦化された絶縁膜を有することを特徴とする半導体装置。

【請求項11】 バインダー樹脂とテトラフルオロエチレンポリマの微粒子からなる多層配線形成用樹脂組成物。

【請求項12】 前記バインダー樹脂が加熱により液状化するポリマである、請求項11記載の組成物。

【請求項13】 前記ポリマが、下記一般式(1)

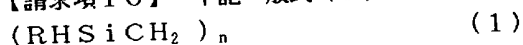


(上式中、Rは炭素数1～3のアルキルまたはフェニルを表す)で示される珪素重合体である、請求項12記載の組成物。

【請求項14】 前記微粒子の直径が100nm以下である、請求項11記載の組成物。

【請求項15】 請求項11に記載の組成物を用いて形成された絶縁膜を有することを特徴とする半導体装置。

【請求項16】 下記一般式(1)



(上式中、Rは炭素数1～3のアルキルまたはフェニルを表す)で示される珪素重合体を用い、300℃以下の温度において、O<sub>2</sub>を含む雰囲気下で熱処理を行うことを特徴とする絶縁膜形成方法。

【請求項17】 前記熱処理後に、300℃以上の温度において、不活性ガス雰囲気下で熱処理を行う、請求項16記載の方法。

【請求項18】 前記珪素重合体に遠紫外線を照射した後、前記熱処理を行う、請求項16記載の方法。

【請求項19】 前記遠紫外線照射を、酸素を含む雰囲気で行う、請求項18記載の方法。

【請求項20】 請求項16に記載の方法により形成された絶縁膜を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路の多層配線における絶縁膜形成のための樹脂組成物および絶縁膜の形成方法に関する。

【0002】

【従来の技術】半導体集積回路の多層配線工程においては、配線により生じた段差を絶縁膜により平坦化する必要がある。これまで、平坦化は、絶縁層上に形成する上層配線の断線を防止することが目的であった。しかし、今後配線幅0.5 $\mu$ m以下の多層配線を形成するには、レジストのフォーカスマージンを十分得るために、チップスケールで段差を0.2 $\mu$ m以下まで低減することが要求される。本発明による平坦化方法を用いると、下地段差に係わらずチップサイズの広い領域で段差0.15 $\mu$ m以下の平坦化が可能となる。

【0003】半導体集積回路に用いられてきた平坦化方法としては、スピノングラス(SOG)を塗布する方法やレジストを塗布し、エッチバックする方法がある。しかし、従来の塗布膜では、10 $\mu$ m以上の太い配線の平坦化は不可能である。また、近年においては、段差表面を研磨することにより平坦化する方法が提案されている。この方法は、平坦化という点では優れているものの、プロセスの増加、装置の高コスト、ゴミの発生の問題などのために導入に際して多くのデメリットを抱えている。

【0004】また、塗布型材料は、縮合反応による不溶化により硬化させるために、熱処理により活性基を完全に反応させることができず、熱処理後の膜は吸水率が高くなってしまい、誘電率の上昇をとまなうものであった。また、CVD法で形成される無機膜も、その誘電率は4.0以上であり、低誘電率化にはそぐわない膜である。

【0005】ポリイミドやシリコン樹脂に代表される有機系高分子材料は、スピノコート法を用いることによって下地段差の平坦化を実現してきたが、近年の配線の微細化に伴い、これによって得られる平坦性は不十分な

なってきた。また、高速デバイスを実現するために不可欠な低誘電率の絶縁層を形成するという点からも十分な特性が得られないのが現状である。

【0006】一方、半導体集積回路の多層配線において、信号の伝播速度は、配線抵抗と配線間の寄生容量により決定される。半導体デバイスの高集積化により配線間隔が狭くなると、配線間の寄生容量が増大する。配線厚を薄くすることによりこの容量を低下させることができるが、この場合には配線抵抗の上昇を招くために高速化にはつ繋がらず、容量低下を図るには絶縁膜を低誘電率化することが必須である。今後、配線間隔が0.5μm以下の世代では、絶縁膜の誘電率が信号伝播速度を大きく左右すると言われており、半導体の性能を支配する大きな要素となることが予想されている。

【0007】しかるに、従来、半導体集積回路に用いられてきた絶縁材料としては、気相成長法(CVD)によるシリコン酸化膜やリンガラス(PSG)などが主流であった。これらの膜の誘電率はその膜形成条件によっても変動するが、誘電率の最も低い膜でもその誘電率は4.0(熱酸化膜)であることが知られている。また、ピンオンガラス(SOG)を塗布し、熱処理したシリコン酸化膜系の絶縁膜も知られているが、この膜は吸湿性が高く、その誘電率は実質的に5以上であることが知られている。近年、低誘電率絶縁材料としてフルオロカーボンポリマ系やハイドロカーボン系の高分子材料が提案されている。しかし、フルオロカーボンポリマ系材料は他材料との密着性に問題があり、またハイドロカーボン系材料には酸化による誘電率変動があることが課題とされている。従って、高速デバイスを実現するために不可欠な低誘電率絶縁層の形成という点からは十分な特性が得られないのが現状である。

【0008】また、CVD法で形成される無機膜にフッ素原子を導入して低誘電率化を図る試みがなされているが、フッ素導入により吸湿性が増加するため、その実用的な誘電率は3.5前後である。さらに、ポリイミドやシリコン樹脂に代表される塗布型半導体用絶縁材料は、スピンコート法により成膜可能なため配線間の狭いギャップフィルを行うのに有利であるが、熱処理後の膜は吸湿性が高く、低誘電率絶縁膜として使用するには不適切である。

【0009】

【発明が解決しようとする課題】本発明は、上記の如き従来技術の問題点を解消し、スピンコート法により塗布可能で、比較的低温で液状となることによりチップスケールでの平坦化が可能な材料および方法を提供しようとするものである。本発明は、また、ギャップフィルが可能なスピンコート法による成膜が可能であり、熱硬化後に2.5以下の誘電率を有する絶縁膜を得ることのできる材料および方法を提供しようとするものである。

【0010】

【課題を解決するための手段】本発明は、上記課題を解決するため、加熱により液状化し、かつ、架橋して不溶化する高分子物質とシリカゾルからなる多層配線形成用の樹脂組成物を提供する。かかる高分子物質としては、ポリカルボシラン、ポリシルセスキオキサンおよびポリシラザンの如き珪素樹脂を用いるのが好ましい。なかでも、下記一般式(1)



(上式中、Rは炭素数1~3のアルキルまたはフェニルを表す)で示されるポリカルボシランは、吸湿性が低く、低誘電率を与えるので、特に好ましい。

【0011】本発明は、また、上記樹脂組成物を配線基板上に塗布し、次いで熱処理することを特徴とする配線基板の平坦化方法を提供する。平坦化の促進のために、基板上にもう1枚の基板を重ねた状態で熱処理を行うのがよく、もう1枚の基板として、表面に1μm以下の粒径の揃った微粒子層を形成した基板を用いるか、または表面にテトラフルオロエチレンポリマの膜により、深さ1μm以下で、幅10μm以下のストライプパターンを形成した基板を用いるのが好ましい。また、両基板間に圧力を加えながら熱処理を行うのがよく、さらにこの熱処理後に上記もう1枚の基板上に樹脂を塗布して、基板上の残留段差をさらに平坦化することもできる。

【0012】本発明は、また、バインダ樹脂とテトラフルオロエチレンポリマの微粒子からなる多層配線形成用の樹脂組成物を提供する。かかるバインダ樹脂としては、加熱により液状化するポリマ、特に上記一般式(1)で示されるポリカルボシランを用いるのが好ましい。また、テトラフルオロエチレンポリマの微粒子の直径は100nm以下であるのがよい。

【0013】本発明は、さらに、そのような樹脂組成物を用いた絶縁膜の形成方法を提供する。この方法においては、上記一般式(1)のポリカルボシランを用い、300℃以下の温度において、O<sub>2</sub>を含む雰囲気下で熱処理を行うのが特に好ましい。また、この熱処理後に、300℃以上の温度において、不活性ガス雰囲気下にさらに熱処理を行うのがよい。あるいは、上記O<sub>2</sub>含有雰囲気下における熱処理の前に上記ポリカルボシランに遠紫外線を照射してもよく、この遠紫外線照射を酸素を含む雰囲気下に行ってもよい。

【0014】本発明に係る樹脂組成物は、スピンコート法により塗布可能であり、比較的低温で液状となることから、チップスケールでの平坦化や狭ギャップフィルが可能な材料である。また、本発明によれば、低誘電率の層間絶縁膜の形成が可能となり、従って高い信頼性の半導体集積回路の多層配線を実現することができる。

【0015】

【実施例】以下、実施例により本発明をさらに説明する。

調製例1(樹脂溶液の調製)

ポリカルボシラン（日本カーボン製）2gと粒径0.4  $\mu\text{m}$ の $\text{SiO}_2$ 粒子（触媒化成製LNA）2gとをキシレン6gに溶解し、樹脂溶液を調製した。この溶液を0.5  $\mu\text{m}$ のメンブランフィルターによりろ過し、試料として用いた。

#### 【0016】実施例1

素子形成を行い、A1配線（第一層）を施したSi基板の上に、調製例1で得られた樹脂溶液を3000rpm、30secの条件（シリコン基板上で1.5  $\mu\text{m}$ 厚に塗布可能な条件）でスピンコート法により塗布し、250℃で3分間の熱処理を施した。このときの第一層配線によって生じた段差は0.3  $\mu\text{m}$ 以下に平坦化されていた。

【0017】この過程を断面図を用いて模式的に示せば図1および図2の通りであり、スピンコートにより塗布された樹脂層の表面には図1に示す如く段差が見られるが、この段差はその後の熱処理によるリフロー効果によって図2に示す如く平坦化される。続いて、従来法のレジストを用いた工程によってスルホールを形成し、スルーホール部へのA1の埋め込みおよび二層目A1配線層の形成を行った。次に、配線層上にレジスト層を塗布し、最小線幅0.8  $\mu\text{m}$ のレジストパターンを形成した。得られたパターンに、太りや細りなどの不良は全く観察されなかった。

#### 【0018】実施例2

実施例1と同様にして配線を施した基板上に、調製例1で得られた樹脂溶液を3000rpm、30secの条件（シリコン基板上で1.5  $\mu\text{m}$ 厚に塗布可能な条件）でスピンコート法により塗布し、テトラフルオロエチレンポリマで表面処理したSi基板を重ね合わせた後に、250℃で3分間の熱処理を施した。熱処理後、第一層配線によって生じた段差は、チップ全面で0.15  $\mu\text{m}$ 以下に平坦化されていた。

【0019】続いて、従来法のレジストを用いた工程によってスルホールを形成し、スルーホール部へのA1の埋め込みおよび二層目A1配線層の形成を行った。次に、配線層上にレジスト層を塗布し、最小線幅0.5  $\mu\text{m}$ のレジストパターンを形成した。得られたパターンに、太りや細りなどの不良は全く観察されなかった。

#### 実施例3

実施例1と同様にして配線を施した基板上に、ポリカルボシランのキシレン溶液を2500rpm、30secの条件（シリコン基板上で1.5  $\mu\text{m}$ 厚に塗布可能な条件）でスピンコート法により塗布した。この基板に、テトラフルオロエチレンポリマ表面に粒径0.5  $\mu\text{m}$ の $\text{SiO}_2$ 粒子を埋め込んだ基板を重ね合わせた後に、250℃で3分間の熱処理を施した。熱処理後、さらにポリカルボシランのキシレン溶液を4000rpm、30secの条件（シリコン基板上で0.5  $\mu\text{m}$ 厚に塗布可能な条件）でスピンコート法により塗布した。塗布後、第一層配線によって生じた段差は、チップ全面で0.10  $\mu\text{m}$ 以下

に平坦化されていた。

【0020】続いて、従来法のレジストを用いた工程によってスルホールを形成し、スルーホール部へのA1の埋め込みおよび二層目A1配線層の形成を行った。次に、配線層上にレジスト層を塗布し、最小線幅0.35  $\mu\text{m}$ のレジストパターンを形成した。得られたパターンに、太りや細りなどの不良は全く観察されなかった。

#### 実施例4

実施例1と同様にして配線を施した基板上に、ポリカルボシランのキシレン溶液を2500rpm、30secの条件（シリコン基板上で1.5  $\mu\text{m}$ 厚に塗布可能な条件）でスピンコート法により塗布した。この基板に、図3に模式的に示すように、テトラフルオロエチレンポリマ表面に1  $\mu\text{m}$ 間隔のストライプパターン（深さ1  $\mu\text{m}$ 以下、幅10  $\mu\text{m}$ 以下）を形成した基板を重ね合わせた後に、250℃で3分間の熱処理を施した。熱処理後、さらにポリカルボシランのキシレン溶液を4000rpm、30secの条件（シリコン基板上で0.5  $\mu\text{m}$ 厚に塗布可能な条件）でスピンコート法により塗布した。塗布後、第一層配線によって生じた段差は、チップ全面で0.10  $\mu\text{m}$ 以下に平坦化されていた。

【0021】続いて、従来法のレジストを用いた工程によってスルホールを形成し、スルーホール部へのA1の埋め込みおよび二層目A1配線層の形成を行った。次に、配線層上にレジスト層を塗布し、最小線幅0.35  $\mu\text{m}$ のレジストパターンを形成した。得られたパターンに、太りや細りなどの不良は全く観察されなかった。

#### 実施例5

実施例1と同様にして配線を施した基板上に、ポリカルボシランのキシレン溶液を2500rpm、30secの条件（シリコン基板上で1.5  $\mu\text{m}$ 厚に塗布可能な条件）でスピンコート法により塗布した。この基板に、実施例4と同様に、テトラフルオロエチレンポリマ表面に1  $\mu\text{m}$ 間隔のストライプパターン（深さ1  $\mu\text{m}$ 以下、幅10  $\mu\text{m}$ 以下）を形成した基板を重ね合わせた後に、これらの基板の両側から5kgf/cm<sup>2</sup>の圧力をかけた状態で、250℃で3分間の熱処理を施した。熱処理後、さらにポリカルボシランのキシレン溶液を4000rpm、30secの条件（シリコン基板上で0.5  $\mu\text{m}$ 厚に塗布可能な条件）でスピンコート法により塗布した。塗布後、第一層配線によって生じた段差は、チップ全面で0.05  $\mu\text{m}$ 以下に平坦化されていた。

【0022】続いて、従来法のレジストを用いた工程によってスルホールを形成し、スルーホール部へのA1の埋め込みおよび二層目A1配線層の形成を行った。次に、配線層上にレジスト層を塗布し、最小線幅0.25  $\mu\text{m}$ のレジストパターンを形成した。得られたパターンに、太りや細りなどの不良は全く観察されなかった。

#### 調製例2（樹脂溶液の調製）

ポリカルボシラン（日本カーボン製）2gと平均粒径

0.05 $\mu$ mのポリテトラフルオロエチレン粒子2gとキシレン6gに溶解し、樹脂溶液を調製した。この溶液を0.2 $\mu$ mのメンブランフィルターを用いてろ過し、試料として用いた。

#### 【0023】実施例6

素子形成を行い、A1配線（第一層）を施したSi基板上に、調製例2で得られた樹脂溶液を3000rpm、30secの条件（シリコン基板上で1.5 $\mu$ m厚に塗布可能な条件）でスピコート法により塗布し、250℃で3分間の熱処理を施した。これにより、0.1 $\mu$ mギャップは完全に埋め込まれていた。

【0024】続いて、酸素雰囲気下に350℃で3minおよび窒素雰囲気下に400℃で30minの熱処理を施し、絶縁膜を形成した。同一条件で熱処理を施した熱縁膜を用いたMOSデバイスにて誘電率を測定した結果、その誘電率は2.3であった。

#### 実施例7

実施例6と同様にして配線を施した基板上に、調製例2で得られた樹脂溶液を3000rpm、30secの条件（シリコン基板上1.5 $\mu$ m厚に塗布可能な条件）でスピコート法により塗布し、同様の熱処理を施した。続いて、従来法のレジストを用いた工程によってスルホールを形成し、スルホール部へのA1の埋め込みおよび二層目A1配線層の形成を行った。

【0025】このとき、ビアの黒ずみや導通不良などは全く観察されなかった。

#### 実施例8

実施例6と同様にして絶縁膜を形成した後、CVD法によりシリコン酸化膜を形成して絶縁層とした。続いて、従来法のレジストを用いた工程によってスルホールを形成し、スルホール部へのA1の埋め込みおよび二層目A1配線層の形成を行った。

【0026】このとき、ビアの黒ずみや導通不良などは全く観察されなかった。

#### 実施例9

ポリカルボシランの代わりにポリハイドロジェンシルセスキオキサンを用いた以外は調製例2と同様にして樹脂溶液を調製した。続いて、実施例6と同様にして配線を施した基板上に、この樹脂溶液を2500rpm、30secの条件（シリコン基板上で1.5 $\mu$ m厚に塗布可能な条件）でスピコート法により塗布し、250℃で3minおよび350℃で30minの熱処理を施した。

【0027】続いて、従来法のレジストを用いた工程によってスルホールを形成し、スルホール部へのA1の埋め込みおよび二層目A1配線層の形成を行った。このとき、ビアに黒ずみや導通不良などは全く観察されなかった。

#### 実施例10

素子形成を行い、A1配線（第一層）を施したSi基板上に、ポリカルボシランのキシレン溶液を3000rpm

、30secの条件（シリコン基板上で1.0 $\mu$ m厚に塗布可能な条件）でスピコート法により塗布し、大気中250℃で10分間の熱処理を施し、さらに窒素雰囲気下に350℃で30minの熱処理を施した。このときの第一層配線によって生じた段差は、0.2 $\mu$ m以下に平坦化されていた。

【0028】続いて、従来法のレジストを用いた工程によってスルホールを形成したが、O<sub>2</sub>プラズマによるレジストの剥離の際にも、樹脂層には酸化によるクラックの発生は見られなかった。スルホールを形成後、2.5%フッ化水素酸による後処理を施し、スルホール部へのA1の埋め込みおよび二層目A1配線を行い、保護層として1.3 $\mu$ m厚のりんガラス層を形成したのち、電極取り出し用の窓あけを行って半導体装置を得た。

#### 【0029】実施例11

実施例10と同様にして配線を施した基板上に、約0.5 $\mu$ m厚のP-CVD SiO<sub>2</sub>膜を形成し、続いてポリカルボシラン樹脂をスピコート（シリコン基板上で0.5 $\mu$ m厚に塗布可能な条件）により塗布し、大気中250℃で10分間の熱処理を施した。さらに、窒素雰囲気下に350℃で30minの熱処理を施した。このときの第一層配線によって生じた段差は、0.3 $\mu$ m以下に平坦化されていた。

【0030】次に、従来法のレジストを用いた工程によってスルホールを形成したが、O<sub>2</sub>プラズマによるレジストの剥離の際にも、シリコン樹脂層には酸化によるクラックの発生は見られなかった。以下、実施例10と同様にして、半導体装置を得た。

#### 実施例12

I. I基板上に実施例10と同様にしてポリカルボシラン膜を形成し、大気中250℃で10分間の熱処理を施し、さらに窒素雰囲気下に350℃で30minの熱処理を施した。

【0031】次いで、得られた膜上に電極を形成し、比誘電率を測定した結果、誘電率は2.8であった。また、大気中に1ヶ月放置した後に誘電率を測定したが、誘電率の上昇は見られなかった。

#### 【0032】

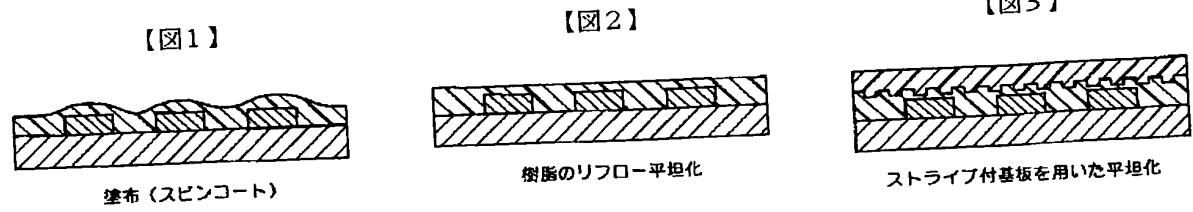
【発明の効果】以上の説明したように、本発明によれば、チップスケールでの下地段差の平坦化が可能であり、また誘電率の低い膜をけいせいすることができるから、信頼性の高い半導体装置の多層配線が可能となる。また、本発明では、狭ギャップの埋め込みが可能な低誘電率絶縁膜の形成が可能であり、配線遅延の少ない高速動作の半導体装置の形成が可能となる。

#### 【図面の簡単な説明】

【図1】本発明の方法の一実施例による絶縁膜の形成プロセスを説明するための模式断面図。

【図2】本発明の方法の一実施例による絶縁膜の平坦化プロセスを説明するための模式断面図。

【図3】本発明の方法の他の実施例による絶縁膜の平坦化プロセスを説明するための模式断面図。



フロントページの続き

						技術表示箇所	
(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号		F I			
H O 1 L	21/312			H O 1 L	21/312	C	
	21/768				21/90	S	
(72) 発明者	片山 倫子			(72) 発明者	山口 城		
	神奈川県川崎市中原区上小田中1015番地				神奈川県川崎市中原区上小田中1015番地		
	富士通株式会社内				富士通株式会社内		